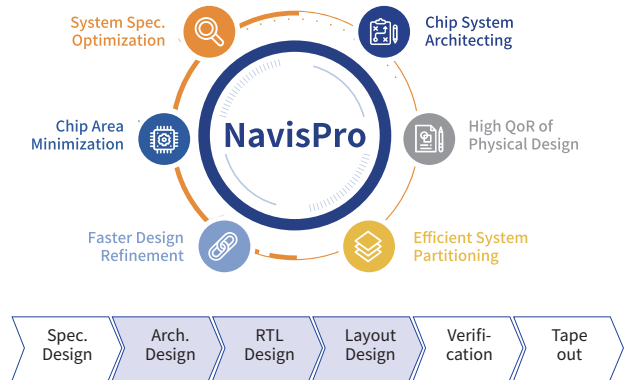


## 层次化 SoC 设计规划方案

### 产品简介

NavisPro 可提供基于 RTL 设计的规划解决方案，以预测并预防常见的物理实现问题，同时减少不必要的设计迭代以缩短 SoC 设计上市时间。其独特的层次化解决方案将整个芯片智能划分为多个模块或子系统，每个子系统布局皆可独立实现，由此解决了 SoC 设计的复杂性问题。在 NavisPro 中，芯片分区包括层次化的物理分区和每个子系统的布局，而子系统的端口布局是关键性约束条件之一，直接决定了全芯片绕线拥堵状况。此外，准确评估子系统之间的总线互连时序对于时序收敛至关重要，而跨设计层次的接口 net 时序估算则是全芯片时序分析的一个非常有用的功能。



### 产品优势

- 经业界验证的 SoC 设计规划解决方案
- 多层次设计规划 (RTL/Gate/Black box)
- 灵活的设计抽象管理
- 丰富而实用的功能方便解决实际工程问题
- 自动区块引脚分配和总线互连规划
- 无需其他 EDA 工具即可完成 RTL 设计规划
- 输入数据设置省时省力
- 大幅减少设计迭代次数从而缩短设计周期

### 技术规格

#### 以约束驱动的 RTL 布局规划

- 总线互连探索
- 互连延迟估算
- Bump 阵列构造
- 自动流水线布局
- 全局绕线拥堵分析
- 组件布局和面积评估
- 自动和手动 pin 分配

#### 灵活的自上而下和自下而上布局规划

#### 设计和约束探索

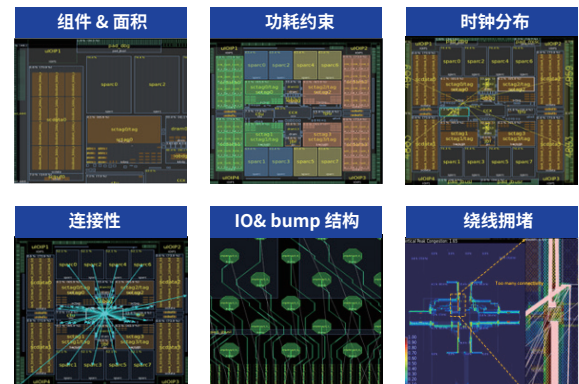
- RTL 设计探索
- 低功耗设计探索
- 时钟树结构探索

### 产品应用

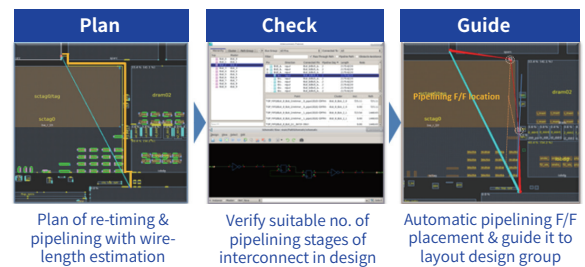
- 基于 RTL 和门级单元的数字（逻辑）设计
- 设计阶段中 SoC 设计的布局规划与可行性分析
- 用于倒装贴片式封装芯片设计的带凸点的 IO PAD 配置

### 应用实例

#### 以约束驱动的 RTL 布局规划



#### 总线互连规划



#### Hierarchical floorplanning

