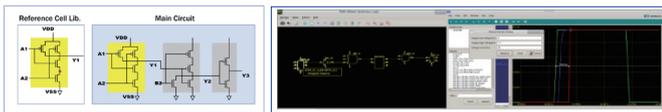


门级晶体管级混合时序分析解决方案

产品简介

晶体管级电路仿真是 IC 设计中的重要步骤，然而对整个 SoC 在晶体管级做仿真通常是不切实际的。设计者需要识别关键路径并且应该能够在有限的设计周期内以最高的精度分析选定的关键路径。TRASTA 自动识别关键路径，使设计师能够以最高精度分析关键路径。TRASTA 自动识别设计中的特别器件，并利用拓扑结构和沟道连接提取技术产生门级电路。提取的门级单元的时序特性被自动特征化并用于静态时序分析（STA）中。TRASTA 提供了一个内置的 STA 引擎和支持对寄生进行反标的 SPICE 网表自动生成功能。



产品优势

- 定制单元快速特征化
- 高效的全芯片关键路径定位
- 自动提取带有寄生参数的关键路径
- 统一的静态时序分析和动态仿真环境

产品应用

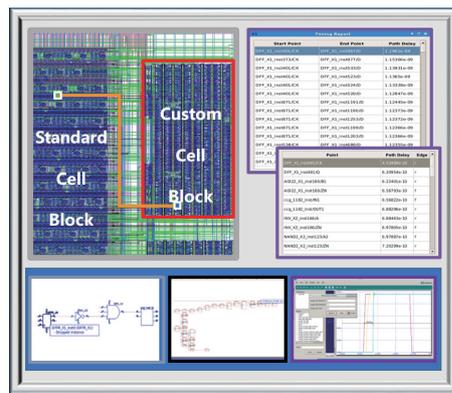
- 自定义单元特性
- 混合信号设计的时序分析
- 对标准单元库重新做特征化
- CPU 数据通道 / 数字 IP 的时序分析

技术规格

- 晶体管级路径分析
 - CCG 单元特征分析
 - 混合层级静态时序分析
 - 第三方电路仿真器接口
 - 用于子电路识别的图形匹配
 - 晶体管级或 CCG 级关键路径分析
 - 含有寄生反标的 SPICE 网表自动产生
- 分析结果的图形可视化
 - 混合信号波形查看的快速界面
 - 与第三方工具联动的交互显示

应用实例

时序分析



False path 自动监测

```

TRASTA>
TRASTA>
TRASTA> reportTiming -corner typ_cworst -sdc ../data/spu.sdc -checkFalsePath
0 MAX PATH Report on false-path detection
- Number of solved true paths : 1611
- Number of solved false paths : 39
0 MIN PATH Report on false-path detection
- Number of solved true paths : 1652
- Number of solved false paths : 0
0 RECOVER PATH Report on false-path detection
- Number of solved true paths : 1
- Number of solved false paths : 0
0 REMOVE PATH Report on false-path detection
- Number of solved true paths : 1
- Number of solved false paths : 0
0 Timing analysis time: 31.480000
TRASTA>
TRASTA>
TRASTA>
TRASTA>
    
```

