

先进数字仿真器

产品简介

VeriSim 是一款先进的逻辑仿真器，提供全面的数字设计验证解决方案，特别适用于大型 SoC 设计。它配备高性能的仿真引擎和约束求解器，旨在提高编译时效率，并确保设计的正确性和稳定性。

VeriSim 可适配众多主流硬件描述语言，包括 Verilog、VHDL、SystemVerilog、SystemC 等，以及它们的组合，确保用户能够选用其熟悉的语言进行设计和验证。

VeriSim 支持两种主要的数字逻辑验证：一是行为级、RTL 级和带 SDF 后仿的门级数字电路门级 Verilog 和 VHDL 仿真；二是高阶的系统级 SystemVerilog 加 SystemC 混合仿真，通过无缝集成通用验证方法 (UVM)，VeriSim 为用户提供快速验证测试台的设置，使验证过程更加高效和可控，其 Assertion 功能还可确保用户在设计初期发现并修正潜在的错误，从而显著缩短验证周期，加快产品上市进程。

VeriSim 提供全面的功能性和代码覆盖率测试，可生成多种格式的仿真数据。此外，VeriSim 输入文件可通过加密算法进行保护，确保客户 IP 得到充分的安全保护。

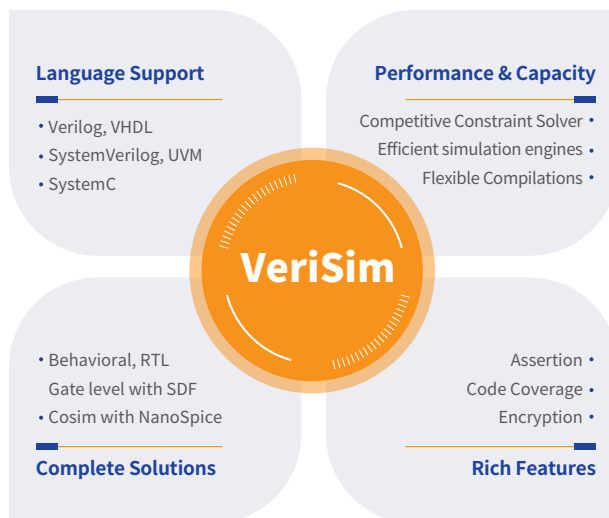
通过集成 NanoSpice 系列的各种晶体管级电路仿真器，VeriSim 可提供完整的混合信号验证解决方案，支持全面设计验证，确保数字电路与模拟电路协同运行，进而提高系统可靠性。

产品优势

- **高性能 & 大容量**
编译、仿真和约束求解器引擎创新优化
- **先进的仿真技术**
X 态传播和竞争条件消除技术
- **兼容性和可用性**
易于使用并支持从现有工具快速迁移
- **兼容不同 CPU 架构**
支持 X86 和 ARM
- **一站式混合信号验证解决方案**
与 NanoSpice 系列晶体管级仿真器集成的数模混和信号仿真

产品应用

- 系统验证 testbench 设置
- SystemVerilog 和 SystemC 混合语言 testbench
- 集成 NanoSpice 实现数模混和 SoC 全芯片验证
- 行为级、RTL 级和带 SDF 后仿的门级数字电路



技术规格

- 语言支持
 - Verilog: 1995/2001/2005
 - SystemVerilog (SV): 2005/2009/2012/2017
 - VHDL: ieee87/ieee93/ieee08
 - SystemC
- 仿真支持
 - Verilog/SystemVerilog 设计
 - VHDL 设计
 - Verilog/SystemVerilog 与 SystemC 设计
 - VHDL 和 Verilog 模块互相调用的混合设计
- 支持约束求解器
- 支持功能覆盖率和代码覆盖率测试
- 支持波形转储
- 支持 UVM-1.1b, UVM-1.1d 和 UVM-1.2 验证方法学
- 支持带标准延迟格式 (SDF) 后仿信息的门级仿真
- 支持 IEEE1735 加密